

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6310139号
(P6310139)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl. F I
 HO 4 L 25/02 (2006.01) HO 4 L 25/02 3 O 3 A
 HO 1 L 31/12 (2006.01) HO 1 L 31/12 F

請求項の数 5 (全 13 頁)

<p>(21) 出願番号 特願2017-215049 (P2017-215049)</p> <p>(22) 出願日 平成29年11月7日 (2017.11.7)</p> <p>審査請求日 平成29年11月10日 (2017.11.10)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 503378475 有限会社ファインチューン 神奈川県横浜市鶴見区鶴見中央三丁目10番26号</p> <p>(74) 代理人 100166545 弁理士 折坂 茂樹</p> <p>(72) 発明者 細田 隆之 神奈川県横浜市鶴見区鶴見中央3-10-26-201</p> <p>審査官 阿部 弘</p>
--	---

最終頁に続く

(54) 【発明の名称】 フォトカブラの出力回路及びフォトカブラ

(57) 【特許請求の範囲】

【請求項1】

トランジスタ出力型のフォトカブラの出力回路であって、該フォトカブラにおける受光素子であり発光素子の発する光をベースで受光する出力トランジスタのコレクタに直列に、ディプリーション・モードの電界効果トランジスタがゲート接地型で挿入されることを特徴とするフォトカブラの出力回路。

【請求項2】

前記電界効果トランジスタのソース・ゲートに対して並列に接続されるバイアス電圧を決定するための素子をさらに備えることを特徴とする請求項1に記載の出力回路。

【請求項3】

トランジスタ出力型のフォトカブラの出力回路であって、該フォトカブラにおける受光素子であり発光素子の発する光をベースで受光する出力トランジスタのエミッタが、ゲート接地型で電流帰還型バイアスされているディプリーション・モードの電界効果トランジスタのソースに接続されていることを特徴とするフォトカブラの出力回路。

【請求項4】

前記電界効果トランジスタのソースに、当該ソースの電位の上昇を制限する電圧クランプ素子が接続されることを特徴とする請求項3に記載の出力回路。

【請求項5】

請求項1から4の何れか1項に記載の出力回路を備えることを特徴とするフォトカブラ

。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フォトカプラに関し、特に、低入力電流で使用する中速デジタル信号伝送に適した汎用フォトカプラの出力回路に関する。

【背景技術】

【0002】

フォトカプラは、内部で電気信号を光に変換し再び電気信号へ戻すことによって、電氣的に絶縁しながら信号を伝達する素子である。フォトカプラは産業用機器や、組み込み機器のマイクロコントローラ等の電氣的絶縁を要する箇所でも多数用いられる。市販のフォトカプラは、フォトトランジスタを使用した安価で伝送レートが数k b p s程度までの汎用フォトカプラと、フォトダイオードとICを使用した伝送レートが1 M b p sを超える高速フォトカプラに二極化している。近年、これらの動作速度の間を埋める数10 k b p sの伝送レートに対応し、低電圧・低消費電流で動作するフォトカプラが求められている。

10

【0003】

フォトカプラでは、動作電流と伝送レートはトレードオフの関係にあり、所望の伝送レートを得ようとすれば動作電流を増やす必要がある。このため、従来のフォトトランジスタによる汎用フォトカプラでは低電圧・低消費電流では動作速度が遅くなり数k b p sを超える伝送レートを得ることは困難である。また、高速通信用のICフォトカプラでは、十分な低電圧・低消費電流は動作できるものが提供されていない。

20

【0004】

低電圧・低消費電流での用途のフォトカプラには、フォトトランジスタとショットキー・クランプを組み合わせて高速化を図ったもの（例えば非特許文献1を参照）、あるいはフォトダイオードとトランジスタを組み合わせたもの（例えば非特許文献2を参照）等が市販されている。

【先行技術文献】

【非特許文献】

【0005】

【非特許文献1】株式会社東芝、TLP2301データシート、[online]、平成29年6月9日、株式会社東芝ホームページ、[平成29年10月25日検索]、インターネット URL : <https://toshiba.semicon-storage.com/info/docget.jsp?did=13937&prodName=TLP2301>

30

【非特許文献2】株式会社東芝、TLP2303データシート、[online]、平成28年1月22日、株式会社東芝ホームページ、[平成29年10月25日検索]、インターネット URL : <https://toshiba.semicon-storage.com/info/docget.jsp?did=13792&prodName=TLP2303>

【0006】

これらのような受光素子としてフォトトランジスタを使用した汎用フォトカプラでは、フォトトランジスタの受光部のベース面積が大きいため、本質的にベース・コレクタ間容量が大きい。そして、図14に示すような、フォトトランジスタPTのコレクタ出力を抵抗Rcを介して電源Vccに接続する単純プルアップ構成で使用した場合には、オンからオフへの立ち上がり時間は、ミラー効果でベース・コレクタ間容量が増大したコレクタ容量とプルアップ抵抗との積の時定数で決まることになる。消費電流を抑制すべくプルアップ抵抗Rcを10k以上大きくした場合には、立ち上がり時間が遅くなり、10k b p sを超えるような伝送レートで使用することができない。

40

【0007】

一方、フォトカプラの動作速度を改善する方法としては、例えば下記の4つの方法がある。

【0008】

第1は、図15(a)に示すように、出力トランジスタが完全に飽和しないようにフォトトランジスタPTのベース・コレクタ間にショットキー・クランプを施して少数キャリア

50

アの電荷の蓄積を低減するとともに、ベースに蓄積された電荷を放電するための経路としてフォトトランジスタのベース・エミッタ間に抵抗を設ける方法である。

【0009】

この第1の方法では、少数キャリアの電荷の低減による動作速度の向上は図れるので定格電流付近の多めの動作電流時の動作速度は改善される。しかし、ショットキー・クランプに用いられるダイオードDc1の容量がベース・コレクタ間容量に付加されるために、低消費電流のためにプルアップ抵抗Rcを数k以上に大きくした場合の立ち上がり時間の低減には寄与せず、むしろ立ち上がり時間の増加要素となる。

【0010】

第2は、図15(b)に示すように、受光素子をフォトダイオードPDとトランジスタTr1に分けてベース・コレクタ間容量の減少を図り、受光素子のフォトダイオードPDからの電流を受け取るトランジスタTr1のベースに抵抗Rbを経由してバイアス进行する方法である。この抵抗Rbによるバイアスにより、出力がオンになる入力電流の閾値が下がるとともに、また、この抵抗Rbがベースベースに蓄積された電荷を放電するための経路となる。

10

【0011】

この第2の方法では、受光素子をフォトダイオードPDとしているためトランジスタTr1のベース・コレクタ間容量を小さくすることができて立ち上がり時間を速くすることができる。一方、トランジスタTr1の順方向電流伝達比を大きくするのが困難であるため入力電流を大きくする必要があり、低電流動作に向いていない。また、フォトカプラの端子数が増えるため小型化の観点で不利である。

20

【0012】

第3は、図15(c)に示すように、フォトトランジスタPTのコレクタ出力にトランジスタTr2をカスコード接続して、フォトトランジスタPTを能動領域で使用し、ミラー効果の低減とキャリア蓄積時間の低減を図る方法である。

【0013】

この第3の方法では、フォトトランジスタPTを能動領域で使用するために、コレクタ電圧が下がりにすぎない領域で使う必要がある。またカスコード接続用のトランジスタTr2のコレクタ・エミッタ間電圧も能動領域で使用する必要があるため、出力がオンのときの電圧レベルを下げるできない。出力電圧レベルの制約により、出力をそのままではLVCMOSのような1.8~5Vで動作する低電圧ロジックICに接続することができず、周辺回路との接続性において実用上の不利がある。またカスコード接続用のトランジスタTr2のためにバイアス電源VBが必要であるため、低消費電流にも回路の簡素化にも向いていない。

30

【0014】

第4は、図15(d)に示すように、フォトトランジスタPTのコレクタ出力にトランジスタTr2をフォールディッド・カスコード接続して、フォトトランジスタを能動領域で使用し、ミラー効果の低減とキャリア蓄積時間の低減を図る方法である。

【0015】

この第4の方法は、第3の方法における出力がオンのときの電圧レベルを下げられるように、カスコード接続用のトランジスタTr2をフォールディッド・カスコードとしたもので、論理レベルがTTLに準拠したHCTLロジックICに接続できるようにしたものである。周辺回路との接続性は改善されるものの、第3の方法と同じく低消費電流にも回路の簡素化にも向いていない。

40

【0016】

このように、消費電力の増大や回路構成の複雑化を抑制しつつフォトカプラを高速化する技術が従来存在しなかった。

【発明の概要】

【発明が解決しようとする課題】

【0017】

50

本発明の目的は、低入力電流で使用する中速デジタル信号伝送に適したフォトカプラを提供することである。

【課題を解決するための手段】

【0018】

上記の課題を解決すべく、本発明のトランジスタ出力型のフォトカプラの出力回路の一実施形態は、該フォトカプラにおける出力トランジスタのコレクタ又はドレインに直列に、ディプリーション・モードの電界効果トランジスタがゲート接地型で挿入されることを特徴とする。

【0019】

上記の出力回路において、電界効果トランジスタのソース・ゲートに対して並列に接続されるバイアス電圧を決定するための素子をさらに備えるとよい。

10

【0020】

上記の課題を解決すべく、本発明のトランジスタ出力型のフォトカプラの出力回路の他の実施形態は、該フォトカプラにおける出力トランジスタのエミッタあるいはソースが、ゲート接地型で電流帰還型バイアスされているディプリーション・モードの電界効果トランジスタのソースに接続されていることを特徴とする。

【0021】

上記の出力回路において、電界効果トランジスタのソースに、当該ソースの電位の上昇を制限する電圧クランプ素子が接続されると特によい。

【0022】

20

本発明のフォトカプラは、上記いずれかの構成の出力回路を備えるとよい。

【発明の効果】

【0023】

本発明によれば、簡易な構成で、安価なフォトトランジスタによる汎用フォトカプラを低電圧・低消費電流で使用時の動作速度を数倍に向上した、フォトカプラあるいはフォトカプラ回路を提供することができる。

【図面の簡単な説明】

【0024】

【図1】第1実施形態に係るフォトカプラの構成を周辺回路とともに示す回路図である。

【図2】第1実施形態の変形例に係るフォトカプラの構成を周辺回路とともに示す回路図である。

30

【図3】フォトトランジスタを電流モードで用いた回路構成を示す。

【図4】第2実施形態に係るフォトカプラの構成を周辺回路とともに示す回路図である。

【図5】第2実施形態の変形例に係るフォトカプラの構成を周辺回路とともに示す回路図である。

【図6】実施例1のシミュレーションの対象とした回路図である。

【図7】実施例1のシミュレーション結果を示す。

【図8】実施例2のシミュレーションの対象とした回路図である。

【図9】実施例2のシミュレーション結果を示す。

【図10】実施例3における比較測定結果を示す。

40

【図11】実施例4における伝送実験の信号測定例を示す。

【図12】実施例5における伝送実験の信号測定例を示す。

【図13】実施例6における伝送実験の信号測定例を示す。

【図14】単純プルアップ構成によるフォトカプラの回路の一例を示す。

【図15】従来フォトカプラの改善例を示す。

【発明を実施するための形態】

【0025】

以下、本発明の実施形態を図面に基づいて説明する。なお、以下の説明では、同一の部材には同一の符号を付し、一度説明した部材については適宜その説明を省略する。

【0026】

50

〔第1実施形態〕

従来の動作速度を改善する手法は何れも、動作速度向上を目的として少数キャリアの蓄積時間の低減やベース・コレクタ間容量あるいはミラー効果の低減に主眼を置いたものであった。これに対し、本発明者は、低電流動作時あるいはコレクタ抵抗が比較的大きい場合の伝送レートは、主にオンからオフへの立ち上がり時間によって制限されている点に着目し、受光素子であるフォトトランジスタがオンからオフに立ち上がり始めた時点でフォトトランジスタのコレクタ出力をコレクタ出力とプルアップ抵抗の間に挿入したアナログスイッチで切り離せば、アナログスイッチの容量とプルアップ抵抗との時定数で決まる速度にまで、立ち上がり時間が低減できることを見出した。

【0027】

図1は、本発明の第1実施形態に係るフォトカプラ1の構成を入力信号源S、外部電源等の周辺回路とともに示す回路図である。フォトカプラ1は、発光部11と、受光部12とにより構成される。

【0028】

発光部11は、発光ダイオード等の発光素子Dを備える。発光部11は、入力信号源Sからの信号のハイ/ローに応じて適切な入力電流で発光素子Dを点灯/消灯させるように接続及び抵抗値が決定された抵抗回路網RNを介して入力信号源Sに接続される。

【0029】

受光部12は、受光素子であるフォトトランジスタPTと、アナログスイッチとして機能する電界効果トランジスタFETとを備える。そして、フォトカプラ1の出力となる電界効果トランジスタFETのドレインと電源電圧VDDとの間に、出力用のプルアップ抵抗ROが設けられる。フォトトランジスタPTのベースは受光部となり、エミッタは受光部12側の接地電位に接続される。また、フォトトランジスタPTのコレクタには電界効果トランジスタFETのソースが接続される。

【0030】

電界効果トランジスタFETとしては、カットオフ電圧が $-0.3V$ 前後と小さく、かつドレイン遮断電流がプルアップ抵抗ROと電源電圧VDDで決まる電流に対して十分大きな、ディプリーション・モードの電界効果トランジスタが用いられる。上述したように、電界効果トランジスタFETのソースにはフォトトランジスタPTのコレクタが接続される。電界効果トランジスタFETのゲートは受光部12側の接地電位に接続される。そして、電界効果トランジスタFETのドレインと電源電圧VDDとの間にプルアップ抵抗ROが設けられる。

【0031】

このような構成のフォトカプラ1において、フォトトランジスタPTがオンからオフに切り替わり始めると(すなわち、フォトトランジスタPTのコレクタ電位が上昇し始めると)、アナログスイッチとして機能する電界効果トランジスタFETがオフ状態となり、フォトトランジスタPTのコレクタは後段の回路から切り離される。これにより、フォトトランジスタPTのベース・コレクタ間容量が出力端子から切り離されるので、出力端子の電位が高速に立ち上がることができる。また、図1に示した受光部12の構成は、出力端子VoutをいわゆるLVCMOSのような低電圧ロジックICにそのまま接続することができる。

【0032】

また、フォトトランジスタPTのコレクタ電圧はコレクタ電流にかかわらずカットオフ電圧から $0V$ の範囲になるため、フォトトランジスタPTのコレクタから見て低抵抗となり、フォトトランジスタPTが飽和状態から回復する際には、カスコード接続(従来技術における第3の方法、図15(c))と同様にミラー容量の低減効果が得られる。

【0033】

また、本実施形態の構成において、フォトカプラ1の出力の耐圧は電界効果トランジスタFETの耐圧特性で決まる。このため、フォトトランジスタPTの耐圧は低くても構わない。従ってフォトトランジスタの設計の自由度が向上し(つまり、フォトトランジスタ

10

20

30

40

50

の耐圧を高めるための制約条件がなくなり)、ひいては性能の向上につながる。

【0034】

なお、本実施形態の構成は、フォトトランジスタPTを能動領域で使用することで高速化を図るのではなく、アナログスイッチを用いて切り離すことにより高速化を図る点で、従来のバイポーラ・トランジスタのカスコード接続とは本質的に異なるものである。

【0035】

〔第1実施形態の変形例〕

第1実施形態の構成における電界効果トランジスタFETのソースにカットオフ電圧をやや超える電圧のバイアスを加えてやることにより、電界効果トランジスタFETスイッチがオフになるのを早め、より高速応答特性を高めることができる。この手段を使用したフォトカプラ1'の構成例を図2に示す。図2において、電界効果トランジスタFETのソースにバイアスを加えるための素子D1として、シリコン・ダイオードを当該ダイオードにバイアス電流を与えるためのバイアス抵抗RBとともに用いる構成を例示しているが、素子D1はダイオードに限らず、電界効果トランジスタFETのソース・ゲートに対して並列に接続されるバイアス電圧を決定するための素子であればいかなるものでもよく、例えば、ツェナー・ダイオード、TVS、LEDあるいはバンドギャップ・リファレンス等の定電圧回路を用いてもよい。

【0036】

〔第2実施形態〕

本発明者は、受光素子であるフォトトランジスタを、図3に示すような回路構成によりコレクタ・エミッタ間電圧がほとんど変わらずにエミッタ電流が変化する電流モードで用いれば、低電流動作時においても比較的高速に応答する点に着目し、電流帰還バイアスで動作する電界効果トランジスタのソース抵抗に対して電流を注入することにより電界効果トランジスタのゲート・ソース間電圧を制御し、遮断電圧の前後の小さな電圧の変化でドレイン電流をオン・オフすることによってドレイン出力電圧を変化させるという手法で高速応答の出力が得られることを見出した。

【0037】

図4は、本発明の第2実施形態に係るフォトカプラ2の構成を入力信号源S、外部電源等の周辺回路とともに示す回路図である。フォトカプラ2は、発光部21と、受光部22とにより構成される。

【0038】

発光部21は、第1実施形態における発光部11と同様に、発光素子Dを備える。発光部21は、入力信号源Sからの信号のハイ/ローに応じて適切な入力電流で発光素子Dを点灯/消灯させるように接続及び抵抗値が決定された抵抗回路網RNを介して、入力信号源Sに接続される。

【0039】

受光部22は、受光素子であるフォトトランジスタPTと、アナログスイッチとして機能する電界効果トランジスタFETと、エミッタ抵抗REとを備える。フォトトランジスタPTのベースは受光部となる。フォトトランジスタPTのエミッタは、エミッタ抵抗REを介して受光部22側の接地電位に接続される。エミッタ抵抗REには1k程度の抵抗が用いられる。また、フォトトランジスタPTのエミッタは、電界効果トランジスタFETのソースにも接続される。

【0040】

電界効果トランジスタFETとしては、カットオフ電圧が-0.5V前後と小さい、ディプリーション・モードの電界効果トランジスタが用いられる。上述したように、電界効果トランジスタFETのソースにはフォトトランジスタPTのエミッタが接続される。電界効果トランジスタFETのゲートは受光部22側の接地電位に接続される。そして、フォトカプラ2の出力となる電界効果トランジスタFETのドレインと電源電圧VCCとの間にプルアップ抵抗RDが設けられる。プルアップ抵抗RDにはエミッタ抵抗REより十分に大きな(十倍程度以上、例えば20k程度)の抵抗が用いられる。

10

20

30

40

50

【 0 0 4 1 】

このような構成のフォトカプラ2において、電界効果トランジスタFETのゲートは接地され電流帰還型バイアスされている。このため、電界効果トランジスタFETがオン状態となるかオフ状態となるかは電界効果トランジスタFETのソースの電位によって決まる。そして、電界効果トランジスタFETのソースの電位は、エミッタ抵抗REの抵抗値とそこに流れる電流で決まる。

【 0 0 4 2 】

発光部21の発光素子Dが発光している状態では、フォトトランジスタPTからの電流がエミッタ抵抗REに流れ込み、電界効果トランジスタFETのソース電位が上昇する。このため、電界効果トランジスタFETのゲート・ソース間電圧がFETのカットオフ電位より低くなり、電界効果トランジスタFETはオフ状態となる。このとき受光部22の出力としては、電源電圧VCCにプルアップ抵抗RDを介して接続された状態となり、ロジックICの論理レベルとしてはハイが出力される。

10

【 0 0 4 3 】

一方、発光部21の発光素子Dが発光していない状態では、フォトトランジスタPTからエミッタ抵抗REに流れ込む電流がなくなるため、電界効果トランジスタFETのソース電位が、電界効果トランジスタFETのゲート・ソース間電圧対ドレイン電流特性と電界効果トランジスタFETのエミッタ抵抗REとの交点として定まる電位にまで低下し、電界効果トランジスタFETはオン状態となる。このとき、受光部22の出力電圧は、概ね電源電圧VCCをプルアップ抵抗RDとエミッタ抵抗REとで分圧した電圧となる。プルアップ抵抗RDはエミッタ抵抗REと比べ十分に大きいため、出力電圧は接地電位に近くなり、ロジックICの論理レベルとしてはローが出力される。

20

【 0 0 4 4 】

静的には上記の通り、発光部21の発光素子Dの発光状態に応じて論理値ハイ/ローが出力されるところ、動作速度の律速となる論理値ローからハイへの切り替わりでは、受光部22は下記のように動作する。すなわち、発光部21の発光素子Dが消灯状態から発光状態に切り替わると、フォトトランジスタPTがオフからオンに切り替わり始める。これに伴い、フォトトランジスタPTのエミッタ電圧(すなわち電界効果トランジスタFETのソース電圧)が上昇し始める。電界効果トランジスタFETが完全にオフ状態となるまでは、電界効果トランジスタFETのソース電位とほぼ同様に受光部22の出力は徐々に上昇し、電界効果トランジスタFETがオフ状態となると電界効果トランジスタFETを介してエミッタ抵抗REに流れ込む電流がなくなるため、受光部22の出力端子の電位が高速に立ち上がることができる。また、図4に示した受光部22の構成は、出力端子VoutをいわゆるLVCMOSのような低電圧ロジックICにそのまま接続することができる。

30

【 0 0 4 5 】

本実施形態の構成において、電界効果トランジスタFETはフォトトランジスタPTからみてゲート接地で動作することになるため、電界効果トランジスタFETの入力と出力は同相であるためミラー効果の影響を受けない。また、電界効果トランジスタFETは多数キャリアで動作する素子であるため、バイポーラ・トランジスタにおける少数キャリアの蓄積による遅延も生じない。

40

【 0 0 4 6 】

本実施形態の構成はフォトトランジスタPTのエミッタと低遮断電圧の電界効果トランジスタFETのソースが接続されることにより、疑似差動型電流スイッチを構成していると理解することができる。このようにフォトトランジスタPTおよび電界効果トランジスタFETは疑似差動的に動作するため、電源電流の変化が少ない。したがって、電源電流の変化による雑音の発生が低減でき、ひいてはEMC(電磁両立性)特性の向上につながる。

【 0 0 4 7 】

以上で説明した第2実施形態の構成は、従来のフォトトランジスタのコレクタと出力ト

50

ランジスタのエミッタあるいはソースが接続される形式のカスコード接続、あるいはフォールディッド・カスコード接続とは本質的に異なるものである。

【0048】

〔第2実施形態の変形例〕

上述の第2実施形態の構成では、フォトカプラ2のフォトトランジスタPTがオンのときの電界効果トランジスタFETのゲート・ソース間電位は、入力電流 I_f ×電流伝達比 C_{TR} ×エミッタ抵抗 R_E で決まる。入力電流 I_f や電流伝達比 C_{TR} が大きすぎる場合には、フォトトランジスタPTのコレクタ・エミッタ間電圧が下がって応答速度が遅くなったり、あるいは、フォトカプラ2のフォトトランジスタPTがオフになるときにエミッタ、ソースのノードの容量に蓄積された電荷がソース抵抗 R_s により放電されて電界効果トランジスタFETのソース電位が自己バイアス電位に落ち着くまでに余計に時間が必要となるため、フォトトランジスタPTのオフから出力 V_{out} の立ち下がりまでの時間が遅くなることがある。

10

【0049】

そこで、図5に示したフォトカプラ2'のように、電界効果トランジスタFETのソース電位が上昇しすぎないように、電界効果トランジスタFETのソースの電位の上昇を制限する電圧クランプ素子(ダイオード等)CLを追加するとよい。このクランプ素子CLによりフォトトランジスタPTのコレクタ・エミッタ間電位が小さくなりすぎて動作速度が低下するのを防ぐ効果、及び、エミッタ電位の立ち下がり時間の増加を抑え、ひいては出力の立ち下がり時間の増加を抑える効果が得られる。

20

【実施例】

【0050】

〔実施例1〕

図6は本発明の効果を検証するために行ったシミュレーションの回路図である。図6(a)は、従来の単純プルアップ構成の出力回路を有するシミュレーション回路であり、図6(b)は、第1実施形態の構成による出力回路を有するシミュレーション回路である。なお、入力信号源Sから発光部の構成は共通である。

【0051】

図7は、図6(a)および(b)に示した回路で、 $R_L = 22k$ としたときのシミュレーション結果を示している。図中、上段に描かれている I_f は、発光素子であるダイオードDへの入力電流を表し、 I_d は、電界効果トランジスタFETに流れるドレイン電流を表している。また、図中、下段に描かれている V_c は単純プルアップの出力となるコレクタ電圧、 V_d は第1実施形態の構成における出力となる電界効果トランジスタFETのドレイン電圧、 V_s は第1実施形態の構成におけるフォトトランジスタPTのコレクタ電圧であり、かつ電界効果トランジスタFETのソース電圧である。

30

【0052】

図7に示されるように、単純プルアップの出力 V_c では、 I_f が切り替わる $50\mu s$ ($10kbp s$ のビット速度に相当)の間に、LVCMOSに接続するのに必要な振幅、例えば $0.7V$ 以下から $2.0V$ 以上の振幅で変化することができない。

【0053】

一方、第1実施形態の構成における出力 V_d は、出力がオンからオフへの遷移では、FETのカットオフ電圧である $0.3V$ を超えた辺りでフォトトランジスタが切り離されて電圧が速やかに上昇しはじめているのが見て取れる。また、オフからオンへの遷移では、電圧がこのFETのカットオフ電圧である $0.3V$ 以下になってフォトトランジスタが飽和動作に移行するまでの間は V_s がほとんど変化せず、カスコード接続と同様の効果でミラー効果が低減されて速やかに V_d が下降しているのが見て取れる。

40

【0054】

図7に示されるように、第1実施形態の構成では、出力 V_d は、 I_f が切り替わる $50\mu s$ の間に、LVCMOSに接続するのに必要な振幅で変化することができる。

【0055】

50

[実施例 2]

図 8 は本発明の第 2 実施形態の構成による効果を検証するために行ったシミュレーションの回路図である。

【 0 0 5 6 】

また、図 9 は、図 8 の回路で、 $R_E = 1.5 \text{ k}$ 、 $R_L = 15 \text{ k}$ としたときのシミュレーション結果である。図中、上段に描かれている I_f は、発光素子であるダイオード D への入力電流を表し、 I_c はフォトトランジスタのコレクタ電流を表している。また、 I_d は電界効果トランジスタ FET に流れるドレイン電流を表している。また、図中、下段に描かれている V_h は第 2 実施形態の構成における出力となる電界効果トランジスタ FET のドレイン電圧を表し、 V_e はフォトトランジスタのコレクタ・ソース電圧を表している。

10

【 0 0 5 7 】

図 9 に示されるように、出力 V_h では、出力がオンからオフへの遷移ではフォトトランジスタからの電流 I_c が増えてエミッタ抵抗に流れ込んだ結果として V_e が上昇し、こ V_e が FET のカットオフ電圧である 0.5 V を超えた辺りでドレイン電流 I_d が遮断され電圧が速やかに上昇しはじめているのが見て取れる。また、オフからオンへの遷移では、 I_c が減少した結果として V_e がこの FET のカットオフ電圧である約 0.5 V 以下になった時点で V_d が速やかに下降しているのが見て取れる。

【 0 0 5 8 】

図 9 に示されるように、第 1 実施形態の構成では、出力 V_h は、 I_f が切り替わる $50 \mu\text{s}$ の間に、LVCMOS に接続するのに必要な振幅で変化することができる。

20

【 0 0 5 9 】

[実施例 3]

図 10 は、フォトトランジスタ出力の汎用フォトカプラを約 $360 \mu\text{A}$ の入力電流と、 3.3 V の VCC 電源に対して 22 k の負荷抵抗という共通の条件で、単純プルアップ構成 (図 10 中の A) と第 1 実施形態の構成 (図 10 中の B) とで使用した場合の比較実験の測定例である。

【 0 0 6 0 】

本例では、単純プルアップ構成に比べて第 1 実施形態の構成では、立ち上がり時間で $218.83 / 48.75 = 4.5$ 倍、立ち下がり時間で $116.32 / 19.17 = 6$ 倍と圧倒的な高速化が得られていることがわかる。

30

【 0 0 6 1 】

[実施例 4]

図 11 は、フォトトランジスタ出力の汎用フォトカプラを、第 1 実施形態の構成で用い、 $350 \mu\text{A}$ の入力電流、 3.3 V の VCC 電源に対して 15 k の負荷抵抗の条件で、 9.6 kbps の信号伝送に適用した場合の伝送実験の信号例である。図中で I_F は図 1 における R_1 に相当する箇所に実装された 1.0 k の電流検出抵抗の両端の電圧を表しており、入力電流 I_f を換算すると、 $I_f = 350 \text{ mV} / 1.0 \text{ k} = 350 \mu\text{A}$ となる。また、図中、重ね書きされている REF2 の波形は、単純プルアップ構成の場合の参考波形である。

40

【 0 0 6 2 】

この結果から、 22 k といった高い抵抗値による少ない動作電流では、単純プルアップでは波形の立ち上がりが不十分であり 9.6 kbps での使用に耐えないのに対し、第 1 実施形態の構成では 9.6 kbps を余裕をもって達成し、 19.2 kbps でも誤りなく伝送可能であることがわかる。

【 0 0 6 3 】

[実施例 5]

図 12 は、フォトトランジスタ出力の汎用フォトカプラを、第 1 実施形態の構成で用い、 $180 \mu\text{A}$ の入力電流と 1.8 V の VCC 電源に対して 15 k の負荷抵抗という低電流・低電圧の条件で、 10 kbps の信号伝送に適用した場合の伝送実験の信号例である

50

。図中、 I_F は図1における R_1 に相当する箇所に実装された 4.7 k の電流検出抵抗の両端の電圧を表している。入力電流 I_f を換算すると、 $I_f = 860\text{ mV} / 4.7\text{ k} = 180\text{ }\mu\text{A}$ となる。

【0064】

この結果によれば、出力 V_{OUT} が $100\text{ }\mu\text{s}$ の間に十分に立ち上がっており、低電流・低電圧の条件でも第1実施形態の構成が 9.6 kbps で動作可能であることがわかる。

【0065】

[実施例6]

図13は、フォトトランジスタ出力の汎用フォトカブラを第2実施形態の構成で用い、 $311\text{ }\mu\text{A}$ の入力電流と、 2.5 V の V_{DD} 電源に対して 22 k の負荷抵抗の条件で、 38.4 kbps の信号伝送に適用した場合の伝送実験の信号例である。図中、 I_F は図4における R_1 に相当する箇所に実装された 1.0 k の電流検出抵抗の両端の電圧を表している。入力電流 I_f を換算すると、 $I_f = 311\text{ mV} / 1.0\text{ k} = 311\text{ }\mu\text{A}$ となる。なお、図示されていない最大エミッタ電流は約 $370\text{ }\mu\text{A}$ であり、電流伝達比 CTR がほぼ 1.2 の条件となっていた。

【0066】

この結果によれば、 38.4 kbps においてもいわゆるアイパターンの目が開いており、第2実施形態の構成がこの伝送レートで十分に実用に使用に耐えうる事がわかる。

【0067】

以上で説明した通り、本発明はトランジスタ出力型のフォトカブラの出力回路に適用可能であり、消費電力を抑制しつつ高速動作を実現できる。

【符号の説明】

【0068】

- 1, 2 フォトカブラ
- 11, 21 発光部
- 12, 22 受光部
- PT フォトトランジスタ
- FET 電界効果トランジスタ

【要約】

【課題】低入力電流で使用する中速デジタル信号伝送に適したフォトカブラを提供する。
 【解決手段】本発明のトランジスタ出力型のフォトカブラの出力回路の一実施形態は、該フォトカブラにおける出力トランジスタのコレクタ又はドレインに直列に、ディプリーション・モードの電界効果トランジスタがゲート接地型で挿入されることを特徴とする。本発明のトランジスタ出力型のフォトカブラの出力回路の他の実施形態は、該フォトカブラにおける出力トランジスタのエミッタあるいはソースが、ゲート接地型で電流帰還型バイアスされているディプリーション・モードの電界効果トランジスタのソースに接続されていることを特徴とする。

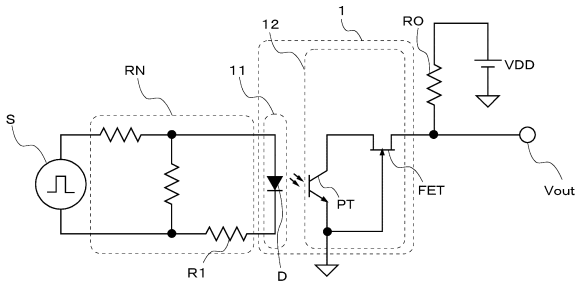
【選択図】図1

10

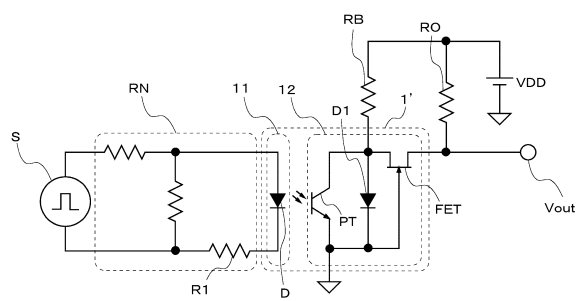
20

30

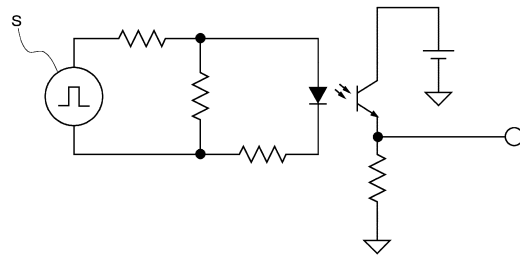
【図1】



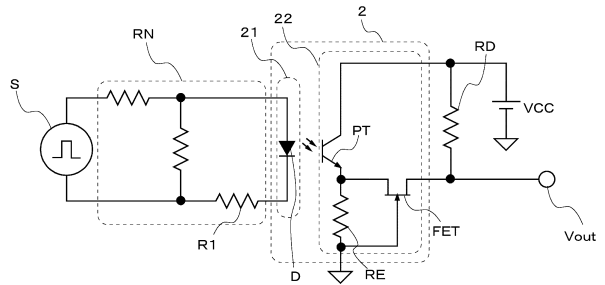
【図2】



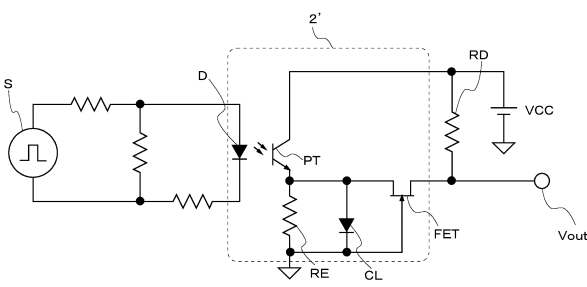
【図3】



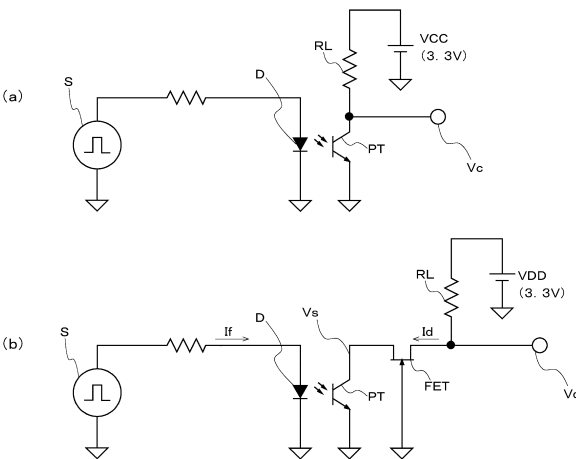
【図4】



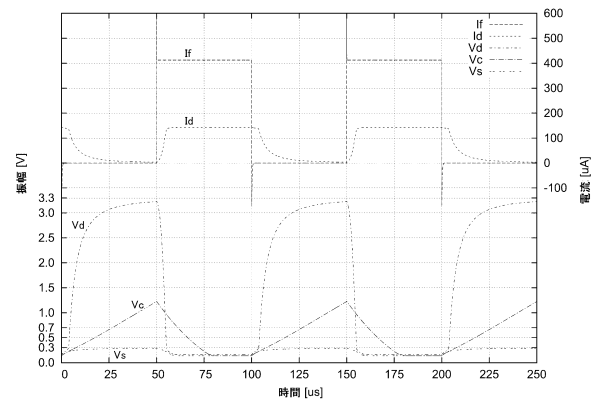
【図5】



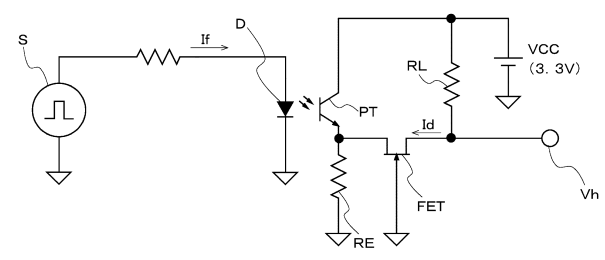
【図6】



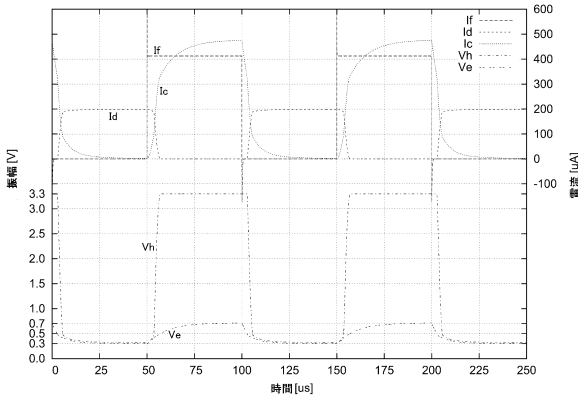
【図7】



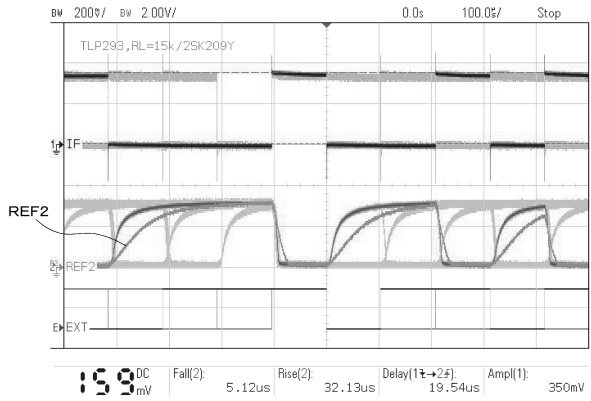
【図8】



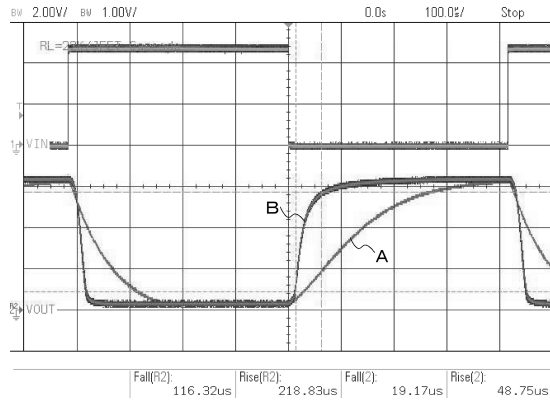
【図 9】



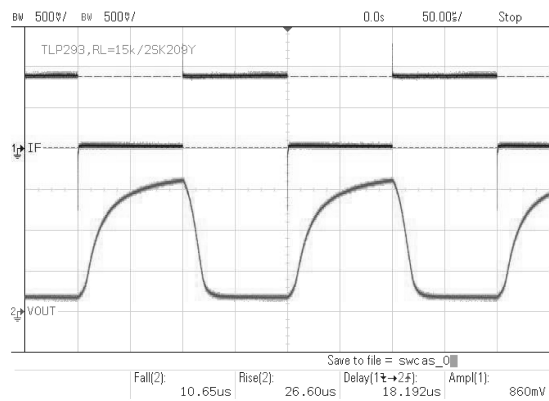
【図 11】



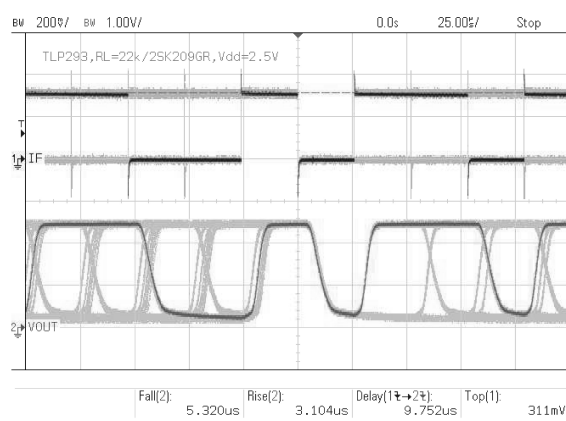
【図 10】



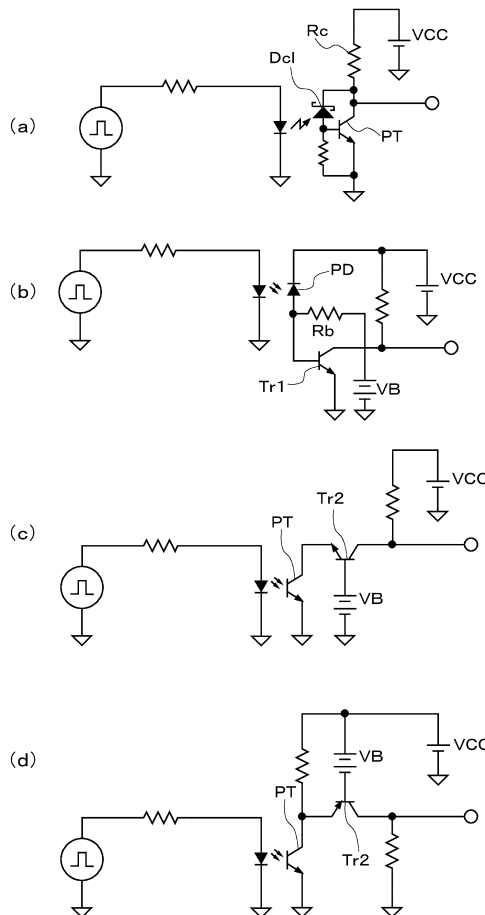
【図 12】



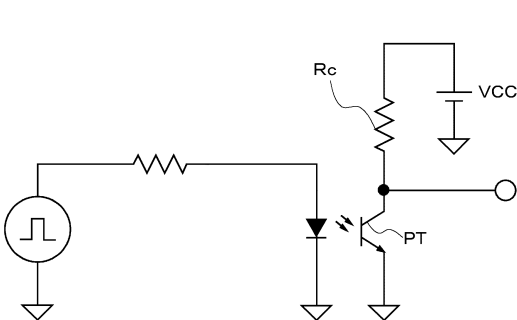
【図 13】



【図 15】



【図 14】



フロントページの続き

(56)参考文献 特開平03-045045(JP,A)
特開昭61-174813(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04L 25/02
H01L 31/12