

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6083034号
(P6083034)

(45) 発行日 平成29年2月22日(2017.2.22)

(24) 登録日 平成29年2月3日(2017.2.3)

(51) Int. Cl.	F I				
GO 1 D	5/249	(2006.01)	GO 1 D	5/249	T
GO 1 D	5/244	(2006.01)	GO 1 D	5/244	H
GO 1 D	5/245	(2006.01)	GO 1 D	5/244	K
GO 1 D	5/36	(2006.01)	GO 1 D	5/245	1 1 0 J
			GO 1 D	5/36	W

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2015-172916 (P2015-172916)	(73) 特許権者	503378475
(22) 出願日	平成27年9月2日(2015.9.2)		有限会社ファインチューン
(65) 公開番号	特開2016-53570 (P2016-53570A)		神奈川県横浜市鶴見区鶴見中央三丁目10番26号
(43) 公開日	平成28年4月14日(2016.4.14)	(74) 代理人	100106002
審査請求日	平成27年9月3日(2015.9.3)		弁理士 正林 真之
(31) 優先権主張番号	特願2014-179260 (P2014-179260)	(74) 代理人	100120891
(32) 優先日	平成26年9月3日(2014.9.3)		弁理士 林 一好
(33) 優先権主張国	日本国(JP)	(72) 発明者	細田 隆之
早期審査対象出願			横浜市鶴見区鶴見中央三丁目10番26号 有限会社ファインチューン内
		審査官	吉田 久

最終頁に続く

(54) 【発明の名称】 アブソリュート型エンコーダ

(57) 【特許請求の範囲】

【請求項1】

各符号が記された物体と、
前記物体に記された各符号のうち、前記物体との既知の位置関係を示す位置に配置される所定の符号を検出するセンサと、

を備え、

前記符号は、値を互いに素なP個(Pは2以上の整数値)の剰余で表し、該符号の当該P個の剰余の夫々が互いに素な周期を持つP個のシフトレジスタ系列の部分シンボル列で構成され、

前記P個のシフトレジスタ系列の部分シンボル列の夫々は、第1方向に夫々の数値が変化するように、かつ、当該第1方向と交わる第2方向に並列されるように、前記物体の絶対位置に対応して前記物体の各位置に形成される、

アブソリュート型エンコーダ。

【請求項2】

前記P個のシフトレジスタ系列の何れか1つは、周期がMのシフトレジスタ系列に0を加えた周期M+1の伸長シフトレジスタ系列である、

請求項1に記載のアブソリュート型エンコーダ。

【請求項3】

前記P個のシフトレジスタ系列若しくは伸長シフトレジスタ系列の夫々に対して、誤り検出若しくは誤り訂正を可能にするために、シフトレジスタ系列が1つ以上追加されて冗

長性が加えられている、

請求項 1 又は 2 に記載のアブソリュート型エンコーダ。

【請求項 4】

前記 P 個のシフトレジスタ系列のうち、1 以上のシフトレジスタ系列が、M 系列若しくは 1 周期に 1 つの自己相関のピークを持つ拡張シフトレジスタ系列とされ、

当該拡張シフトレジスタ系列の自己相関による補助位置出力をさらに備える、

請求項 1 乃至 3 のうち何れか 1 項に記載のアブソリュート型エンコーダ。

【請求項 5】

前記 P 個の前記拡張シフトレジスタ系列の夫々の値の切り替わる位置が (1 シンボルの間隔 / 列数) の位相とされてエッジの位置情報で前記物体の絶対位置が補間される、

請求項 4 に記載のアブソリュート型エンコーダ。

10

【請求項 6】

前記物体の絶対位置を表す前記部分シンボル列に前記第 1 方向に隣接するシンボル列を併せて読み取ることにより、読み取ったシンボル列の符合としての冗長性を増加せしめ、符号理論による読み取り誤り検出若しくは誤り訂正を行う、

請求項 1 乃至 4 のうち何れか 1 項に記載のアブソリュート型エンコーダ。

【請求項 7】

前記センサは、読み取り位置の異なる複数のセンサを有し、

1 シンボルを、読み取り位置の異なる前記複数のセンサで読み取る、

請求項 1 乃至 4 及び請求項 6 のうち何れか 1 項に記載のアブソリュート型エンコーダ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位置を絶対位置として検出するアブソリュート型エンコーダに関する。

【背景技術】

【0002】

従来のアブソリュート型エンコーダは、単純にひとつの周期が $2^n - 1$ のシフトレジスタ系列 (以下、「M 系列」と呼ぶ) をポジション表記に利用したアブソリュート型エンコーダ (例えば特許文献 1 参照) と、 2^n ポジションのグレイコードのアブソリュート型エンコーダ (例えば特許文献 2 参照) とに大別される。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2004 - 212072 号公報

【特許文献 2】特開 2013 - 195238 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の M 系列を用いるアブソリュート型エンコーダでは、センサ (センサヘッドの受光部) を円周上等に n ビット分並べる必要がある。従って、平面的なセンサヘッドでは、対象の曲率によってはセンサの位置による特性の違いにより、感度や解像度が低下する場合がある。

40

一方で、グレイコードのアブソリュート型エンコーダでは、半径方向等に n 列のセンサ (センサヘッドの受光部) といった幅の広さが必要になり、適用が困難な場合がある。また、上述の従来の何れかの方式も冗長度を持たないため本質的に、汚れ等に起因する位置情報の誤りを、検出したり訂正することができない。

【0005】

本発明は、このような状況に鑑みてなされたものであり、コンパクトなセンサヘッドを用いて形状の自由度と感度や解像度を向上させることが可能なアブソリュート型エンコーダを提供することを目的とする。

50

【課題を解決するための手段】

【0006】

本発明の一側面のアブソリュート型エンコーダは、

各ポジションが互いに素な P 個（ P は2以上の整数値）の剰余で表され、当該 P 個の剰余が、互いに素な周期を持つ P 個の n 段シフトレジスタ系列の部分シンボル列で構成される。ここで、部分シンボル列は、例えば n 段シフトレジスタ系列中、夫々の連続する n シンボル（以下、「タプル」と適宜呼ぶ）で表される。また、特に $GF(2)$ 上の2元のシンボルを「ビット」と呼ぶ。

【0007】

ここで、前記 P 個の符号列の何れか1つは、周期が M のシフトレジスタ系列に0を加えた周期 $M+1$ の伸長シフトレジスタ系列にすることができる。

10

つまり、前記 P 個のシフトレジスタ系列の何れか1つは、周期が M の n 段シフトレジスタ系列の0が $n-1$ 連続する箇所に0を1つ加え周期 $M+1$ の系列であるようにすることができる。これを「伸長シフトレジスタ系列」と呼ぶことにする。また、シフトレジスタ系列と伸長シフトレジスタ系列を併せて「拡張シフトレジスタ系列」と呼ぶことにする。

【0008】

また、前記 P 個のシフトレジスタ系列若しくは伸長シフトレジスタ系列の夫々に対して、誤り検出若しくは誤り訂正を可能にするために、シフトレジスタ系列が1つ以上追加されて冗長性が加えられているようにすることができる。

【0009】

20

また、前記 P 個のシフトレジスタ系列のうち、1以上のシフトレジスタ系列が、 M 系列若しくは1周期に1つの自己相関のピークを持つ拡張シフトレジスタ系列とされ、

当該拡張シフトレジスタ系列の自己相関による補助位置出力をさらに備えるようにすることができる。

【0010】

また、前記 P 個の拡張シフトレジスタ系列の夫々の値の切り替わる位置が（1シンボルの間隔/列数）の位相とされてエッジの位置情報で補間されるようにすることができる。

【0011】

また、前記各ポジションを表す前記部分シンボル列に隣接するシンボル列を併せて読み取ることにより、読み取ったシンボル列の符合としての冗長性を増加せしめ、符号理論による読み取り誤り検出若しくは誤り訂正を行うようにすることができる。

30

【0012】

1シンボルを、読み取り位置の異なる複数のセンサで読み取るようにすることができる。

【発明の効果】

【0013】

本発明によれば、コンパクトなセンサヘッドを用いて形状の自由度や解像度を向上させることが可能になる。

【図面の簡単な説明】

【0014】

40

【図1】本発明が適用されるアブソリュート型エンコーダの外観の概略の構成例を示す図である。

【図2】図1のアブソリュート型エンコーダのセンサヘッドの構成を示す上面図である。

【図3】図1のアブソリュート型エンコーダで使われている拡張シフトレジスタ系列の例を示す図である。

【図4】図3に示す拡張シフトレジスタ系列が形成されたコードトラックを有する回転ディスクが1回転した場合における、光センサの出力例を示すタイミングチャートである。

【図5】図1の回転ディスクのポジションと、当該回転ディスクのコードトラックに形成された拡張シフトレジスタ系列中のタプルとの対応関係を示す図である。

【図6】 P 列中の4ビットのタプルを、周期15の範囲で変化する値 N_p に変換するテ

50

ーブルを示す図である。

【図7】S列中の5ビットのタプルを、周期32の範囲で変化する値Nsに変換するテーブルを示す図である。

【図8】本発明が適用されるアブソリュート型エンコーダの拡張シフトレジスタ系列を決定するための表を示す図である。

【図9】図1のアブソリュート型エンコーダの光センサのセンサヘッドの構成であって、図2とは異なる構成を示す上面図である。

【図10】図1のアブソリュート型エンコーダの光センサのセンサヘッドの構成であって、図2や図9とは異なる構成を示す上面図である。

【発明を実施するための形態】

10

【0015】

まず、本発明の理解を容易なものとすべく、シフトレジスタ系列、M系列、及び剰余系の概要について説明する。

【0016】

まずシフトレジスタ系列について説明する。

h_j 、 a_j は、 $GF(q)$ の元として、非0の $a_0 \cdots a_{k-1}$ を初期値とする。ここで、 k 段の線形帰還シフトレジスタで発生される次の式(1)で表される漸化式を満たす系列が「シフトレジスタ系列」と呼ばれている。

【数1】

$$\sum_{j=0}^k h_j a_{i+j} = 0 \mid h_k = 1 \quad \cdots (1)$$

20

このようなシフトレジスタ系列において、次の式(2)で表される多項式は「シフトレジスタ系列の生成多項式」と呼ばれている。

【数2】

$$H(x) = \sum_{j=0}^k h_j x^j \mid h_0 \neq 0, h_k = 1 \quad \cdots (2)$$

シフトレジスタ系列には次のような特徴(1)及び(2)がある。

30

(1) K 段のシフトレジスタ系列は必ず周期を持つ。

(2) 1周期の中の連続する K シンボル(タプル)はユニークである。

本実施形態のアブソリュート型エンコーダは上記特徴が利用されたものである。

【0017】

次に、M系列について説明する。

n 段シフトレジスタ系列の生成多項式に原始多項式を用いると同一の段数で周期が最大である周期が $2^n - 1$ の系列のものが出来る。これをM系列という。 $GF(2)$ 上の2元M系列で生成されるビット列には、シフトレジスタ系列の特徴に加え、次のような特徴(3)及び(4)が存在する。ただし「ビット」は2元のシンボルを表す。

(3) 0と1の発生確率はほぼ同じである。正確には、0と1の発生個数が1周期で1だけ異なる。

40

(4) 自己相関のピークが1周期に1度だけある。つまり、周期を N 、ずれを τ として、 $\tau = 0, N, 2N, \cdots$ の時には n であり、それ以外のとき -1 である。

【0018】

次に、剰余系について説明する。

中国人剰余定理(Chinese remainder theorem)によると、正整数 m は、次の式(3)で表される互いに素な $p_1 \cdots p_k$ の剰余の組で一意に表される。このようにして数を表す系を「剰余系」と呼ぶ。

【数3】

$$m < \prod_{i=1}^k p_i \quad \dots (3)$$

この剰余系に対して、互いに素な数 $p_k < p_{k+1} < p_{k+2}$ を2つ追加して、 m を $k+2$ 個の剰余で表すように冗長性を持たせると、1つの剰余に誤りがあった場合に $k+2$ 個中の k 個の剰余から逆算され得る $C(k+2, k)$ 個の正整数のうち $C(k+1, k-1)$ 個は互いに異なったものとなるが、 $C(k+1, k)$ 個は同一となるため多数決により誤り訂正が可能となる。

また2つの剰余に誤りがあった場合には、逆算した結果が全て異なるため誤り検出も可能である。 10

【0019】

以下、図面を参照して、本発明の実施形態について説明する。

【0020】

図1は、本発明が適用されるアブソリュート型エンコーダの外観の概略の構成例を示している。

本実施形態のアブソリュート型エンコーダは、光学式のロータリー・エンコーダとして構成されており、回転ディスク11と、シャフト12と、光源13と、光センサ14とを備えている。

【0021】

20

回転ディスク11においては、その表面(図1中図示されている面)には、コードトラック21が形成されており、その裏面の中心には、当該裏面と垂直方向にシャフト12が取り付けられている。

【0022】

ここで、図1に示すコードトラック21は、模式的に示したものである。

即ち実際には、コードトラック21には、各ポジションが互いに素な P 個 (P は2以上の整数値) の剰余で表され、当該 P 個の剰余を夫々のタプルで表す互いに素な周期を持つ P 個のシフトレジスタ系列が形成されている。ここで、コードトラック21は、スリット板と、当該スリット板の上に配置される遮光板とにより構成されている。これによりシフトレジスタ系列の '1' の箇所はスリット板により光が通過し、'0' の箇所は遮光板により光が遮断される。 30

【0023】

つまり、1つのシフトレジスタ系列は、コードトラック21において所定の半径の円周に沿うように形成されており、'1' の箇所は光が通過し、'0' の箇所は光が遮断するようになされている。このような P 個のシフトレジスタ系列の夫々が、コードトラック21において P 個の異なる半径の円周に夫々沿うように同心円状で形成されている。

【0024】

なお、本実施形態では、 $P=2$ であるものとして、以下の説明を行う。即ち、本実施形態では、2個のシフトレジスタ系列の夫々が、コードトラック21において2個の異なる半径の円周に夫々沿うように同心円状で形成されている。 40

【0025】

光源13は、LED等で構成され、回転ディスク11のコードトラック21の所定範囲(1ポジションを示すタプル分の範囲)を照射する。

光センサ14は、コードトラック21のスリットを通過した光信号をセンサヘッド31において受光して電気信号に変換するためのトランスデューサーである。

【0026】

つまり、光源13から射出された光は、コードトラック21に到達すると、現時点のポジションを示す符号列のうち、'1' の箇所では透過して光センサ14のセンサヘッド31に受光され、'0' の箇所では遮断されて当該センサヘッド31には受光されない。光センサ14は、受光された箇所を '1' の電気信号に、受光されなかった箇所を '0' の 50

電気信号に夫々変換し、1ポジションを示すタプルの組の電気信号として出力する。

図示せぬポジション検出部は、当該電気信号に基づいて、回転ディスク11の現在のポジション(回転角等)を検出する。

【0027】

図2は、本実施形態の光センサ14のセンサヘッド31の構成を示す上面図である。

図2に示すように、センサヘッド31は、2列千鳥配置の9ビットの光を受光するように構成されている。

【0028】

このような図2のセンサヘッド31を有する本実施形態のアブソリュート型エンコーダの符号について、以下説明する。

【0029】

本実施形態のアブソリュート型エンコーダは、中国人剰余定理と拡張シフトレジスタ系列とを適用したものである。コードトラック21上の全ポジションは、互いに素な $P = 2$ 個の剰余で表されている。各剰余は、互いに素な周期を持つ $P = 2$ 個の拡張シフトレジスタ系列の P 組のタプルで表されている。

【0030】

一般に、 n 段の線形帰還レジスタで生成される $2^n - k$ の周期のシフトレジスタ系列の任意の、連続する n シンボルはユニークである。ゆえに、連続する n シンボル、即ちタプルで、 $2^n - k$ の値のうち1の値を表すことができる。従って、互いに素な周期のシフトレジスタ系列の組で剰余系を構成することができる。

【0031】

線形帰還レジスタで生成された、この $2^n - k$ の周期のシフトレジスタ系列に対して、そのうちの $n - 1$ 個の連続「0」の箇所に「0」を1つを挿入して得られる、 $2^n - k + 1$ の周期の伸長シフトレジスタ系列の任意のタプルがユニークであり、かつ他のシフトレジスタ系列の周期と互いに素であれば、同様に剰余系を構成することができる。

【0032】

即ち、例えば $P = 2$ とし、 $k = 1$ とする2元M系列を考えると、周期が $2^{Np} - 1$ のM系列と、それとは互いに素な $2^{Ns} - 1$ の周期のM系列の組で剰余系を構成することができる。さらに、 2^{Ns} の周期の伸長シフトレジスタ系列の、連続する任意の Ns ビットがユニークであり、かつ他の $2^{Np} - 1$ の周期と互いに素であれば、同様に剰余系を構成することができる。

【0033】

従って、本実施形態では、 $Np = 4$ ビット、 $Ns = 5$ ビットとして、 $2^{Np} - 1 = 15$ の周期のM系列と、 $2^{Ns} = 32$ の周期の伸長シフトレジスタ系列とが採用されている。これにより、停止位置検知や舵角検知に適した、 $15 \times 32 = 480$ ポジションのアブソリュート型エンコーダが実現されている。

【0034】

即ち、図2のセンサヘッド31のうち、受光部(センサ)P0乃至P4において、図1のコードトラック21上に形成された $2^{Np} - 1 = 15$ の周期のM系列(以下、「P列」と適宜呼ぶ)のうち、現ポジション(の一部)を示す連続する4ビットのタプルが検出される。なお、検出されたP列のタプルは、後述する図6の変換テーブルPにより、値 Np に変換される。

一方、図2のセンサヘッド31のうち、受光部(センサ)S0乃至S4において、図1のコードトラック21上に形成された $2^{Ns} = 32$ の周期の伸長シフトレジスタ系列(以下、「S列」と適宜呼ぶ)のうち、現ポジション(の一部)を示す連続する5ビットのタプルが検出される。なお、検出されたS列のタプルは、後述する図7の変換テーブルSにより、値 Ns に変換される。

【0035】

ここで、単一のM系列符号を用いた従来のアブソリュート型エンコーダでは、[発明が解決しようとする課題]の欄で上述したように、センサ(センサヘッドの受光部)を円周

10

20

30

40

50

上等に一例に並べる必要があった。

これに対して、本実施形態のアブソリュート型エンコーダでは、2つの拡張シフトレジスタ系列に分けてセンサ（センサヘッドの受光部）を並列することが可能になる。

具体的には例えば同程度のポジション数で比較すると、511ポジションの従来のアブソリュート型エンコーダでは、円周方向に9個直列のセンサ（センサヘッドの受光部）が必要であった。

これに対して、本実施形態のアブソリュート型エンコーダでは、480ポジションで、図2に示すように、P列の4個のセンサ（受光部P0乃至P3）と、S列の5個のセンサ（受光部S0乃至S4）とを並列することが可能になる。P列のセンサとS列のセンサの位置関係は任意であるので、形状の自由度を従来より向上させることができる。

これにより、本実施形態のアブソリュート型エンコーダは、センサヘッド31を従来のセンサヘッドよりコンパクトにすることが可能になる。その結果、対象（回転ディスク11等）の曲率によるセンサ（受光部）の位置による特性の違いを従来より抑制することが可能になるので、感度や解像度を従来より向上させることができる。

グレイコードのアブソリュート型エンコーダと比べて、センサヘッドをコンパクトにできることは言うまでもない。

このように、本実施形態のアブソリュート型エンコーダは、コンパクトなセンサヘッド31を用いて感度や解像度を向上させることができる。

【0036】

さらに以下、本実施形態のアブソリュート型エンコーダの詳細について説明する。

【0037】

図3は、本実施形態のアブソリュート型エンコーダで使われている拡張シフトレジスタ系列の例を示している。

即ち、図3にP列として示す、 $2^{Np} - 1 = 15$ の周期のM系列が、回転ディスク11のコードトラック21における第1円周上に形成されている。

また、図3にS列として示す、 $2^{Ns} = 32$ の周期の伸長シフトレジスタ系列が、回転ディスク11のコードトラック21における上記第1円周と同心の第2円周上に形成されている。

【0038】

図4は、図3に示す拡張シフトレジスタ系列が形成されたコードトラック21を有する回転ディスク11が1回転した場合における、光センサ14の出力例を示している。

下から順に、P列の4個のセンサ（受光部P0乃至P3）の出力信号p、S列の5個のセンサ（受光部S0乃至S4）の出力信号s、出力信号pに対応する $2^{Np} - 1 = 15$ の周期信号cp、出力信号sに対応する $2^{Ns} = 32$ の周期信号cs、及び補助パルス信号zが、図4に夫々示されている。

【0039】

以下、図5乃至図7を参照して、本実施形態のアブソリュート型エンコーダによる位置算出の具体例について説明する。

位置算出は、図1の光センサ14の出力信号が入力される、図示せぬ位置検出部により実行される。

【0040】

図5は、回転ディスク11のポジション（位置）と、当該回転ディスク11のコードトラック21に形成された拡張シフトレジスタ系列との対応関係を示している。

図5において、回転ディスク11のポジション（位置）は、0乃至479の10進数で示され、10の位と1の位とにわけて記載されている。P列は、図3のP列を連続させたもの、即ち、 $2^{Np} - 1 = 15$ の周期のM系列を示している。S列は、図3のS列を連続させたもの、即ち、 $2^{Ns} = 32$ の周期の伸長シフトレジスタ系列を示している。

【0041】

ここでは、回転ディスク11のポジション（位置）として、「42」の場合を考える。

この場合、図5に示すように、図2のセンサヘッド31のうち、受光部（センサ）P0

10

20

30

40

50

乃至 P 4 においては、P 列として「0 0 1 0」が検出される。

また、図 2 のセンサヘッド 3 1 のうち、受光部（センサ）S 0 乃至 S 4 においては、Q 列として「1 1 0 1 1」が検出される。

【0 0 4 2】

図 6 は、4 ビットの P 列を、周期 1 5 の範囲（0 乃至 1 4 の範囲）で可変する値 N p に変換するテーブルである。

図 7 は、5 ビットの S 列を、周期 3 2 の範囲（0 乃至 3 1 の範囲）で可変する値 N s に変換するテーブルである。

図 6 及び図 7 の変換テーブルは、図示せぬ位置算出部に保持されているものとする。

【0 0 4 3】

図示せぬ位置算出部は、図 6 の変換テーブル P により、P 列「0 0 1 0」を、値 N p 「1 2」に変換する。

図示せぬ位置算出部は、図 7 の変換テーブル S により、P 列「1 1 0 1 1」を、値 N s 「1 0」に変換する。

【0 0 4 4】

なお、図 6 の注記に示すように、 $4 2 = 1 2 \pmod{1 5}$ という第 1 剰余で表されていることがわかる。また、図 7 の注記に示すように、 $4 2 = 1 0 \pmod{3 2}$ という第 2 剰余で表されていることがわかる。即ち、ポジション（位置）「4 2」は、互いに素な 2 個の第 1 剰余及び第 2 剰余で表されており、当該 2 個の第 1 剰余及び第 2 剰余の夫々が、互いに素な周期 1 5 及び 3 2 を持つ 2 個の拡張シフトレジスタ系列の、夫々のタプルで構成されていることがわかる。

【0 0 4 5】

以上説明したように、本実施形態のアブソリュート型エンコーダの現ポジション（センサ位置）が「4 2」のときに読み取られる値は、誤りがない場合には S 列のタプルが「0 0 1 0」であり、P 列のタプルが「1 1 0 1 1」であり、夫々の値は、 $N p = 1 2$ 及び $N s = 1 0$ を表している。

$N p$ と $N s$ の夫々は、 $C p = 1 5$ と、 $C s = 3 2$ の互いに素な周期で繰り返すことになる。

従って、 $N = C p \times C s$ として、 $0 \leq \text{position} < N$ の位置を剰余系で表していることになる。ここで、 position は、本実施形態のアブソリュート型エンコーダの現ポジション（センサ位置）を意味している。

【0 0 4 6】

以上のことから、次の式（4）、式（5）が導き出される。

$$N p = 1 2 \pmod{C p} \quad \dots (4)$$

$$N s = 1 0 \pmod{C s} \quad \dots (5)$$

【0 0 4 7】

ここで、 $N / C p$ 及び $N / C s$ の夫々の $C p$ 及び $C s$ における乗法的逆元を、 $I p$ 及び $I s$ の夫々とする、次の式（6）、式（7）が成立する。

$$I p = 2 5 6 \pmod{N / C p} \quad \dots (6)$$

$$I s = 2 2 5 \pmod{N / C s} \quad \dots (7)$$

【0 0 4 8】

したがって、 position は、次の式（8）で示すように、各剰余類と逆元の積和として得ることができる。

$$\text{position} (N p, C p) = (N p \times I p + N s \times I s) \pmod{N} \quad \dots (8)$$

即ち、図示せぬ位置算出部は、次の式（9）を演算することで、 position として「4 2」という正しい位置を算出することが可能になる。

$$\text{position} (N p, C p) = (1 2 \times 2 5 6 + 1 0 \times 2 2 5) \pmod{4 8 0}$$

$$= (1 9 2 + 3 3 0) \pmod{4 8 0}$$

10

20

30

40

50

$$= 42 \pmod{480} \quad \dots (9)$$

【0049】

このようにして図示せぬ位置算出部は、上述したように図6及び図7といった小規模の変換テーブルで、正しい位置を算出することができる。

具体的には例えば、 $0 \leq \text{position} < N$ の位置を $\log_2(N)$ 9ビットの1つのビット列で表した場合には、数の変換をテーブルの参照により行う場合には、 $N \times 9$ ビット規模の変換テーブルが必要であり、 $N = 480$ の場合4320ビット規模の変換テーブルが必要になる。

これに対して、本実施形態のアブソリュート型エンコーダでは、位置を2つのビット列(タプル)で表しているため、図6の 15×4 ビット規模の変換テーブルと、図7の 32×5 ビット規模の変換テーブルの和、即ち、220ビット規模という小規模の変換テーブルで済んでいる。

10

本実施形態と、本実施形態と同ビット数を使用した従来の単一M系列のアブソリュート型エンコーダとの、単位位置あたりのビット数での比較では、 $(220 / 480) / (9 \times 511) \approx 1 / 19.63$ と大幅に縮小できていることがわかる。このことは、数の変換をハードウェアで行う場合に、当該ハードウェアの規模を大幅に縮小することができることを意味する。このため、物理的サイズやコスト、消費電力や信頼性の点で利点となる。

【0050】

なお、本発明は、上述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

20

【0051】

例えば上記実施形態では、拡張シフトレジスタ系列として、その周期が15, 32の拡張シフトレジスタ系列を採用したが特にこれに限定されない。

【0052】

例えば、本発明が適用されるアブソリュート型エンコーダは、次のように構成を有する、各種各様の実施の形態を取ることができる。

即ち、各ポジションが互いに素なP個(Pは2以上の整数値)の剰余で表され、当該P個の剰余の夫々が、そのタプルで表せる互いに素な周期を持つP個の拡張シフトレジスタ系列で構成されるアブソリュート型エンコーダは、各種各様の実施の形態を取ることができる。

30

【0053】

ここで、特開平2-284025号(以下「引用文献1」と呼ぶ)には、アブソリュート型エンコーダの発明が開示されている。

また、本発明者は、「中国人剰余定理を利用した誤り訂正文字化符号」(以下、「引用文献2」と呼ぶ)を2004年11月8日にインターネットにて公開している。

しかしながら、引用文献2には、単に、互いに素な数(を表す記号)の組をつくれることが開示されているに過ぎない。

従って、引用文献1に記載された発明における符号系列に対して、引用文献2の開示内容を単に適用しただけでは、当業者が、「互いに素な周期を持つP個の拡張シフトレジスタ系列」を容易に想到することはできないと思料する。

40

また、特開平5-312592号公報(以下「引用文献3」と呼ぶ)には、絶対位置検出装置において、冗長シフトレジスタを設ける技術が、単に開示されているに過ぎない。従って、引用文献3をさらに考慮したとしても、当業者が、「互いに素な周期を持つP個の拡張シフトレジスタ系列」を容易に想到することはできないと思料する。

【0054】

図8は、本発明が適用されるアブソリュート型エンコーダの拡張シフトレジスタ系列を決定するための表である。

本表において、1つの行は、1の種類拡張シフトレジスタ系列に対応しており、一意の「No」が付されている。

50

「bit」は、図2のセンサヘッド31にて読み取られる拡張シフトレジスタ系列のビット数を示されている。即ち、当該行の拡張シフトレジスタ系列用の受光部（センサ）として、当該「bit」の個数分の受光部（センサ）がセンサヘッド31に設けられる。

「cycle」は、当該行の拡張シフトレジスタ系列の周期である。

「GP」は、当該行の拡張シフトレジスタ系列の生成多項式の一例である。

「 α 」は、当該行の拡張シフトレジスタ系列の初期値の一例である。

「factors」は、当該行の「cycle」たる周期を素因数分解した際の要素を示している。

「tw9」乃至「tw41」は、本発明が適用されるアブソリュート型エンコーダの各実施形態の型名を示している。「tw9x」が上記実施形態の型名を示している。

10

【0055】

本発明が適用されるアブソリュート型エンコーダでは、P個の拡張シフトレジスタ系列の各周期が素であることが求められるので、図8の表の「factor」において重複しないように拡張シフトレジスタ系列を採用する必要がある。

例えば、「No」が「5」の拡張シフトレジスタ系列については、周期たる「cycle」は「31」のM系列であり、「factor」は「31」になる。

また例えば、「No」が「7」の符号列については、周期たる「cycle」は「63」のM系列であり、「factor」は「3」、「7」になる。

従って、「No」が「5」のM系列と「No」が「7」のM系列とは、「Factor」が重複せず、「cycle」が互いに素であるといえる。

20

このため、「No」が「5」のM系列「No」が「7」のM系列とを利用したアブソリュート型エンコーダは採用可能であり、その型番が「tw11」として図8の表に記載されている。

【0056】

同様に、例えば型番「tw23」としては、符号列として、その周期が127、217、及び255のP=3個のシフトレジスタ系列を利用した、誤り検出が可能なアブソリュート型エンコーダを採用することができる。

【0057】

また、図8には図示はしないが、シフトレジスタ系列として、その周期が、2047、3937、7665、8191のP=4個のシフトレジスタ系列を利用した、誤り検出及び訂正が可能なアブソリュート型エンコーダを採用することができる。

30

【0058】

ここで、前記P個の拡張シフトレジスタ系列の何れか1つは、周期がMのシフトレジスタ系列に0を加えた周期M+1の伸長シフトレジスタ系列であるようにすることができる。

例えばM=31に対して、M+1=32の周期の伸長シフトレジスタ系列が、上記実施形態のS列に該当する。

【0059】

また例えば、前記P個の拡張シフトレジスタ系列の夫々に対して、互いに素な周期の拡張シフトレジスタ系列を1つ以上追加して冗長性を加えることができる。これにより、誤り検出若しくは誤り訂正を可能にすることができる。

40

【0060】

また例えば、前記P個の符号列のうち、1以上の符号列を、M系列若しくは1周期に1つの自己相関のピークを持つ拡張シフトレジスタ系列として、当該拡張シフトレジスタ系列の自己相関による補助位置出力をさらに備えるようにしてもよい。

【0061】

前記P個の符号列の夫々の2値の切り替わる位置が（1ビットの間隔/列数）の位相とされてエッジの位置情報で補間されるようにしてもよい。これにより見かけの解像度を高めることが可能になる。

【0062】

50

さらに上記では、2値のシフトレジスタ系列で構成している例を記述したが、特にこれらの例に限定されない。

即ち、本発明が適用されるアブソリュート型エンコーダは、

各ポジションが互いに素なP個（Pは2以上の整数値）の剰余で表され、当該P個の剰余の夫々が互いに素な周期を持つP個のシフトレジスタ系列の部分シンボル列で構成される、

アブソリュート型エンコーダであれば足り、その実施の形態は特に限定されない。

【0063】

ここで例えば、

前記P個の符号列の何れか1つは、周期がMのシフトレジスタ系列に0を加えた周期M + 1の伸長シフトレジスタ系列である、

ようにしてもよい。

【0064】

また例えば、前記P個のシフトレジスタ系列若しくは伸長シフトレジスタ系列の夫々に対して、誤り検出若しくは誤り訂正を可能にするために、シフトレジスタ系列が1つ以上追加されて冗長性が加えられている、

ようにしてもよい。

【0065】

また例えば、前記P個のシフトレジスタ系列のうち、1以上のシフトレジスタ系列が、M系列若しくは1周期に1つの自己相関のピークを持つ拡張シフトレジスタ系列とされ、

当該拡張シフトレジスタ系列の自己相関による補助位置出力をさらに備える、

ようにしてもよい。

【0066】

さらに例えば、前記P個の拡張シフトレジスタ系列の夫々の値の切り替わる位置が（1シンボルの間隔/列数）の位相とされてエッジの位置情報でポジションが補間される、

ようにしてもよい。

【0067】

また例えば、上記実施形態では、本発明が適用されるアブソリュート型エンコーダは、光学式のロータリー・エンコーダとされたが、特にこれに限定されないことは言うまでもない。

【0068】

また例えば、上記実施形態では、本発明が適用されるアブソリュート型エンコーダは、拡張シフトレジスタ系列が2つの円周上のコードトラックに形成されているが、波長多重や多値偏光、光学式と磁気式の組み合わせに等により複数の拡張シフトレジスタ系列を同一円周上に形成することも可能である。この場合にはアブソリュート型エンコーダのより一層のコンパクト化を図ることが出来る。

【0069】

また例えば、光センサ14のセンサヘッド31の構成は、図2の例に特に限定されない。

【0070】

図9は、光センサ14のセンサヘッド31の構成であって、図2とは異なる構成を示す上面図である。

図9のセンサヘッド31において、P列には、図2と同様の連続する4ビットのタプル（部分シンボル列）を検出するための受光部（センサ）P0乃至P4に加えて、当該4ビットのタプルに隣接する誤り訂正用のシンボルを読み取るための受光部（センサ）Pc0乃至Pc2が設けられている。また、S列には、図2と同様の連続する5ビットのタプル（部分シンボル列）を検出するための受光部（センサ）S0乃至S4に加えて、当該5ビットのタプルに隣接する誤り訂正用のシンボルを読み取るための受光部（センサ）Sc0乃至Sc3が設けられている。

【0071】

即ち、光センサ14がとあるコードトラック列（図9の例ではP列又はS列）のとある部分シンボル列を読み取ったとき、汚れ等何らかの理由により何れかのシンボルに誤りが生じることがある。

この場合、センサヘッド13に対して、冗長なコードトラックを設けておらず多数決誤り訂正が不可能な場合には、読み取った位置情報が誤ったものとなる。

そこで、誤り対策としてのトラックの増加が困難な場合等には、光センサ14は、部分シンボル列に隣接するシンボル列も併せて読み取ることにより、読み取ったシンボル列の符合としての冗長性を増加せしめ、符合間のハミング距離が増大することにより、符号理論による誤り検出若しくは訂正が可能となる。

【0072】

つまり、本発明が適用されるアブソリュート型エンコーダは、各ポジションを表す部分シンボル列に隣接するシンボル列を併せて読み取ることにより、読み取ったシンボル列の符合としての冗長性を増加せしめ、符号理論による読み取り誤り検出若しくは誤り訂正を行うようにすることができる。

【0073】

図10は、図1のアブソリュート型エンコーダの光センサのセンサヘッドの構成であって、図2や図9とは異なる構成を示す上面図である。

図10のセンサヘッド31においては、P列には、図2と同様の連続する4ビットのタプル（部分シンボル列）を検出するための受光部アレイ（センサアレイ）P0乃至P4に加えて、当該4ビットのタプルに隣接する誤り訂正用のシンボルを読み取るための受光部アレイ（センサアレイ）Pc0乃至Pc2が設けられている。また、S列には、図2と同様の連続する5ビットのタプル（部分シンボル列）を検出するための受光部アレイ（センサアレイ）S0乃至S4に加えて、当該5ビットのタプルに隣接する誤り訂正用のシンボルを読み取るための受光部アレイ（センサアレイ）Sc0乃至Sc3が設けられている。

即ち、図2や図9の例では、1つのシンボルを検出するために1つの受光部（センサ）が用いられてきたが、図10の例では、1つのシンボルを検出するために、4個の受光部（センサ）が列方向に順次配置されて構成される受光部アレイ（センサアレイ）が用いられている。

【0074】

即ち、とある信号をサンプリングするとき、サンプリング周波数を f_s として、 f_s の $1/2$ よりも高い周波数成分が原信号に含まれる場合には、エイリアス信号が復元信号に現れて原信号を完全に復元することができない。ハリー・ナイキストにより1928年に予想されたこの再現限界の定理はナイキスト・シャノンの標本化定理（Nyquist-Shannon Sampling Theorem）と呼ばれる。

ナイキスト・シャノンの標本化定理によると、アブソリュートエンコーダにおいては、1つのシンボルを1つのセンサで読み取る場合には、サンプリング位置がシンボルと完全に同期している場合以外には、原シンボル列を完全には再現することが出来ないことを意味する。

アブソリュートエンコーダにおいて正確に原シンボル列を復元するために、1シンボルを読み取り位置の異なる複数のセンサで読み取ることにより、シンボル列とセンサ列との位相関係、即ちシンボル中央に対する読み取り位置のずれによらず、原シンボル列を完全に再現することが理論的に可能となる。

【0075】

つまり、本発明が適用されるアブソリュート型エンコーダは、1シンボルを、読み取り位置の異なる複数のセンサで読み取るようにすることができる。

【符号の説明】

【0076】

11・・・回転ディスク

12・・・シャフト

10

20

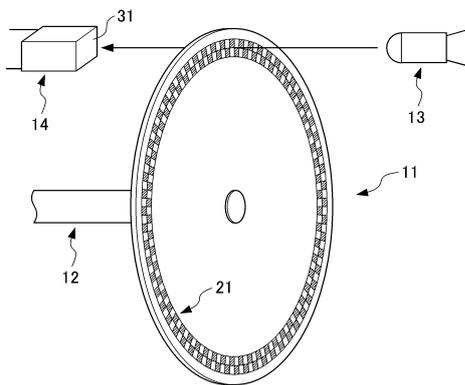
30

40

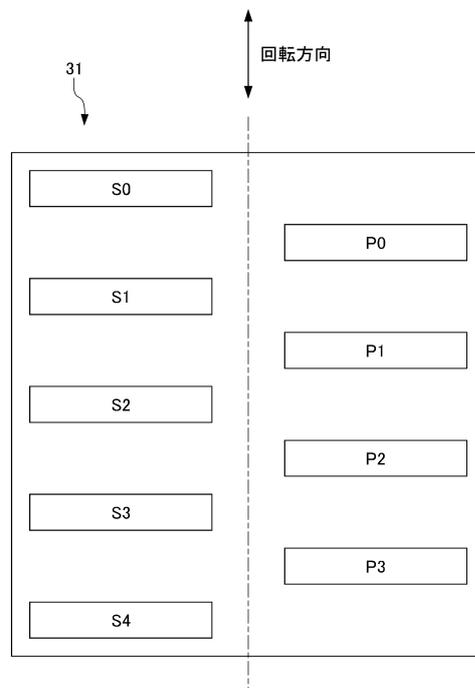
50

- 1 3 . . . 光源
- 1 4 . . . 光センサ
- 2 1 . . . コードトラック
- 3 1 . . . センサヘッド

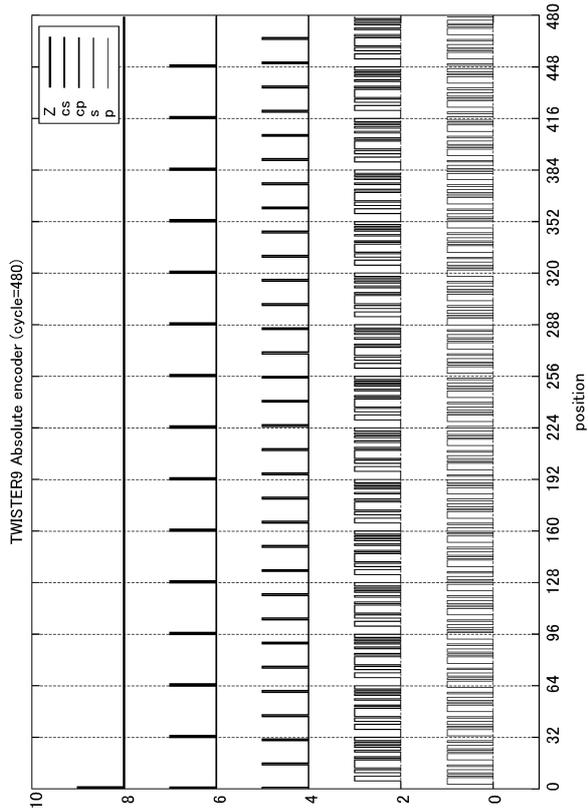
【図 1】



【図 2】



【 図 3 】



【 図 4 】

P: 0001111101011001
 S: 0000011110011011111101000100101011

【 図 5 】

位置
 十の位 0000000001111111112222222222333333333344444444555555556666666677777...
 一の位 01234567890123456789012345678901234567890123456789012345678901234...
 P列: 000111101011001000111101011001000111101011001000111101011001000111101011001...
 S列: 00000111001101111101000100101011000001110011011110100010010101100000111001...

【 図 6 】

変換テーブルP

P列: Np	
0001: 0	
0011: 1	
0111: 2	
1111: 3	
1110: 4	
1101: 5	
1010: 6	
0101: 7	
1011: 8	
0110: 9	
1100: 10	
1001: 11	
<u>0010: 12</u> 注記: 42 = 12 (mod 15)	
0100: 13	
1000: 14	

【 図 7 】

変換テーブルS

S列: Ns	
00000: 0	
00001: 1	
00011: 2	
00111: 3	
01110: 4	
11100: 5	
11001: 6	
10011: 7	
00110: 8	
01101: 9	
<u>11011: 10</u> 注記: 42 = 10 (mod 32)	
10111: 11	
01111: 12	
11111: 13	
11110: 14	
11101: 15	
11010: 16	
10100: 17	
01000: 18	
10001: 19	
00010: 20	
00100: 21	
01001: 22	
10010: 23	
00101: 24	
01010: 25	
10101: 26	
01011: 27	
10110: 28	
01100: 29	
11000: 30	
10000: 31	

フロントページの続き

- (56)参考文献 特開2000-28396(JP,A)
特開平2-284025(JP,A)
特開2011-123693(JP,A)
特開平5-312592(JP,A)
特開2012-157073(JP,A)
特許第3093924(JP,B2)
細田 隆之, “中国人剰余定理を利用した誤り訂正文字化符号”, [online], 2004年11月
8日, [平成27年6月30日検索]、インターネット<[http://www.finetune.co.jp/~lyuka/techno
te/crtecc/](http://www.finetune.co.jp/~lyuka/technology/crtecc/)>

(58)調査した分野(Int.Cl., DB名)

G01D 5/00-5/38